

日本国特許庁
JAPAN PATENT OFFICE

#2

11017 U.S. PTO
10/077164
02/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 2月20日

出願番号
Application Number:

特願2001-043791

出願人
Applicant(s):

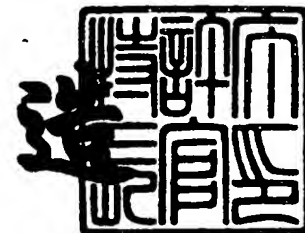
エヌイーシーマイクロシステム株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月 7日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 01211292

【提出日】 平成13年 2月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 3/02
H03H 17/02

【発明の名称】 デジタル信号処理装置

【請求項の数】 7

【発明者】
【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本
電気アイシーマイコンシステム株式会社内

【氏名】 宮原 靖充

【特許出願人】
【識別番号】 000232036
【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】
【識別番号】 100108578
【弁理士】
【氏名又は名称】 高橋 詔男

【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武

【選任した代理人】
【識別番号】 100101465
【弁理士】
【氏名又は名称】 青山 正和

【選任した代理人】
【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901153

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号処理装置

【特許請求の範囲】

【請求項 1】 アナログ入力信号をデジタル信号に変換するアナログ／デジタル変換器と、

該アナログ／デジタル変換器が出力するデジタル信号のサンプリング出力にハーフバンド処理を施して、サンプリング出力に含まれる所定の阻止域の周波数成分を減衰させるデジタルフィルタと、

該デジタルフィルタにおけるハーフバンド処理により発生した折り返しノイズ通過帯のノイズを、前記デジタルフィルタから出力される符号信号を用いて抑圧または除去するアンチエイリアス回路とを備えたことを特徴とするデジタル信号処理装置。

【請求項 2】 前記アンチエイリアス回路が、前記デジタルフィルタから出力される符号信号が変化する周期にもとづき、前記ハーフバンド処理したデジタルフィルタ出力が正規通過信号かエイリアス帯通過信号かを区別して、エイリアス帯通過信号のみ抑圧または除去することを特徴とする請求項 1 に記載のデジタル信号処理装置。

【請求項 3】 前記アンチエイリアス回路が、前記デジタルフィルタが出力する符号信号の変化周期を測定する符号変化周期測定回路と、

該符号変化周期測定回路で測定した周期が、閾値保持回路に設定されている符号変化周期に比べて長いか短いかを比較判別する比較器と、

該比較器により短いと判別された場合に出力されるシフト制御信号により、前記デジタルフィルタから入力されて格納された信号をシフトして、エイリアス帯ノイズの振幅を抑圧するシフトレジスタとを有することを特徴とする請求項 1 に記載のデジタル信号処理装置。

【請求項 4】 前記シフトレジスタに、前記デジタルフィルタから入力されて格納される信号のシフトビット数を制御するシフトビット数設定レジスタが接続されていることを特徴とする請求項 3 に記載のデジタル信号処理装置。

【請求項 5】 前記符号変化周期測定回路による測定および比較器による比較演算によってそれぞれ生じる遅延時間相当分、前記デジタルフィルタの出力を遅延させる遅延回路を設けたことを特徴とする請求項 3 に記載のデジタル信号処理装置。

【請求項 6】 前記アンチエリアス回路が、前記デジタルフィルタが出力する符号信号の変化周期を測定する符号変化周期測定回路と、

該符号変化周期測定回路で測定した周期が、閾値保持回路に設定されている符号変化周期に比べて長いか短いかを比較判別する比較器と、

前記符号変化周期測定回路による測定および比較器による比較演算によってそれぞれ生じる遅延時間相当分前記デジタルフィルタの出力を遅延させる遅延回路とを有し、

前記比較器の出力をクリア信号として前記遅延回路に入力することにより、前記デジタルフィルタから出力される信号をエリアス帯ノイズ成分を取り除いて出力することを特徴とするデジタル信号処理装置。

【請求項 7】 アナログ入力信号をデジタル信号に変換するアナログ／デジタル変換器と、

該アナログ／デジタル変換器が出力するデジタル信号のサンプリング出力にハーフバンド処理を施して、サンプリング出力に含まれる所定の阻止域の周波数成分を減衰させるデジタルフィルタと、

該デジタルフィルタが出力する符号信号のエッジを検出して検波レジスタのセットパルス生成するエッジ検出回路と、

前記デジタルフィルタが出力する符号変化周期を測定する符号変化周期測定回路と、

該符号変化周期測定回路で測定した周期と、閾値保持回路に設定されている符号変化周期との比較結果に従ってエリアス帯ノイズ検出信号を出力する比較器とを備え、

該比較器からのエリアス帯検出信号の出力時に前記検波レジスタをリセットすることを特徴とするデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号処理に関し、特にデジタルフィルタでのハーフバンド処理にもとづくエリアスの発生を防止するデジタル信号処理装置に関する。

【0002】

【従来の技術】

デジタル技術の進展に伴い、広い分野でデジタル信号処理技術について種々の提案がなされている。このようなデジタル信号の処理では、アナログ入力信号がアナログ／デジタル（以下、A／Dという）変換器によりデジタル化され、後段に繋がる回路により様々な信号処理が施される。一般的なデジタル信号処理回路であるデジタルフィルタは、入力された連続する複数のサンプリングデータに任意の演算処理を行い、所望の周波数成分データのみを取り出すものである。このようなデジタルフィルタでS／N比を向上させるには、一般的にサンプリングデータ数を増やす方法が用いられる。しかし、サンプリングデータの増加は、同時に回路規模、演算回数、演算時間の増加につながる。

【0003】

この問題への対策としては、サンプリングデータ数が多いほど素子数低減に効果のある、ハーフバンド処理が一般的に知られている。このハーフバンド処理では、1回の処理対象となるサンプリングデータ数が奇数の場合、偶数番目のサンプリングデータに乗じる係数を0としても、出力値の信号対雑音比（S／N）は変わらないことを利用する技術である。係数が0となることから演算回数は半分となり、従って、乗算器、加算器、補数制御回路、および各レジスタのビット長の低減が可能となる。

【0004】

【発明が解決しようとする課題】

しかしながら、前記のようなデジタルフィルタにおけるハーフバンド処理は、偶数番目のサンプリングデータに対する処理を行わないため、サンプリングレートを1／2に落としていることと同義であり、サンプリングレート低下時に起る

折り返しノイズ通過帯（エリ阿斯）を生じてしまう。

【0005】

図9はこのようなハーフバンド処理によるエリアスの発生状況を示すデジタルフィルタの出力信号通過帯域特性図を示す。このハーフバンド処理によるエリ阿斯1は、デジタルフィルタのサンプリング周波数の $1/2$ 周波数付近に、本来の通過域2とは異なる通過域として生じる。従って、アナログ入力信号にこの帯域の周波数成分が存在し、その周波数成分がデジタルフィルタ後の信号処理に悪影響を与える場合、ハーフバンド処理を用いることはできない。また、あえてハーフバンド処理を用いる場合は、デジタルフィルタ後段にアンチエリアシングを目的としたデジタルロウパスフィルタを設置する必要がある。このデジタルロウパスフィルタも、前段の多ビットのデジタルフィルタ出力に対する演算処理を行う

【0006】

本発明は前記のような事情に鑑みてなされたもので、ハーフバンド処理を施したデジタルフィルタ出力の符号信号を用い、ハーフバンド処理により生じるエリ阿斯帯のノイズの抑圧または除去を、簡単な回路でローコストに実現可能にするデジタル信号処理装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

前記目的達成のために、請求項1の発明にかかるデジタル信号処理装置は、アナログ入力信号をデジタル信号に変換するアナログ／デジタル変換器と、該アナログ／デジタル変換器が出力するデジタル出力のサンプリングデータにハーフバンド処理を施して、信号に含まれる阻止域の周波数成分を減衰させるデジタルフィルタとを設け、このデジタルフィルタにおけるハーフバンド処理により発生したエリ阿斯帯のノイズを、前記デジタルフィルタから出力される符号信号を用いて、アンチエリ阿斯回路に抑圧または除去させるようにしたものである。これにより、デジタルフィルタにおけるハーフバンドが処理の使用を可能にし、アンチエリアスを簡単な回路構成にて低コストに実現できる。

【0008】

また、請求項2の発明にかかるデジタル信号処理装置は、前記アンチエリ阿斯

回路に、前記デジタルフィルタから出力される符号信号が変化する周期にもとづき、前記ハーフバンド処理したデジタルフィルタ出力が正規通過信号かエリ阿斯帯通過信号かを区別させて、エリ阿斯帯通過信号のみ減衰させるようにしたものである。これにより、デジタルフィルタリング処理にハーフバンド処理を用いることが可能になり、このハーフバンド処理の採用により従来必要とされた後段へのロウパスフィルタの設置も不要となる。

【0009】

また、請求項3の発明にかかるデジタル信号処理装置は、前記アンチエリ阿斯回路に、前記デジタルフィルタが出力する符号信号の変化周期を測定する符号変化周期測定回路と、該符号変化周期測定回路で測定した周期が、閾値保持回路に設定されている符号変化周期に比べて長いか短いかを比較判別する比較器とを設け、該比較器により短いと判別された場合に出力されるシフト制御信号により、シフトレジスタに前記デジタルフィルタから入力されて格納された信号をシフトさせて、エリ阿斯帯ノイズの振幅を抑圧させるようにしたものである。これにより、比較器でエリ阿斯帯ノイズと正規通過帯の信号とを明確に区別でき、これをシフトレジスタのシフト制御信号として用いることで、エリ阿斯帯ノイズの減衰制御を高精度に実現できる。

【0010】

また、請求項4の発明にかかるデジタル信号処理装置は、前記シフトレジスタに、前記デジタルフィルタから入力されて格納された信号のシフトビット数を制御するシフトビット数レジスタを接続したものである。これによれば、エリ阿斯帯ノイズの検出時にデジタルフィルタの出力データの減衰量を任意に調整することができる。

【0011】

また、請求項5の発明にかかるデジタル信号処理装置は、前記符号変化周期測定回路による測定および比較器による比較演算によって生じる遅延相当分、前記デジタルフィルタの出力を遅延させる遅延回路を設けたものである。これによって、比較器の出力にもとづいて同時刻の遅延データが設定されているシフトレジスタのシフト制御を高精度に実施できる。

【0012】

また、請求項6の発明にかかるデジタル信号処理装置は、前記アンチエリアス回路に、前記デジタルフィルタが出力する符号信号の変化周期を測定する符号変化周期測定回路と、該符号変化周期測定回路で測定した周期が、閾値保持回路に設定されている符号変化周期に比べて長いか短いかを比較判別する比較器と、前記符号変化周期測定回路による測定および比較器による比較演算によってそれぞれ生じる遅延時間相当分前記デジタルフィルタの出力を遅延させる遅延回路とを設け、前記比較器の出力を前記遅延回路のクリア信号として使用し、前記デジタルフィルタから出力される信号のエリアス帯ノイズ成分を取り除くようにしたものである。これにより、簡単な構成にて不要なエリアスノイズ成分の出力を回避できる。

【0013】

また、請求項7の発明にかかるデジタル信号処理装置は、アナログ入力信号をデジタル信号に変換するアナログ／デジタル変換器と、該アナログ／デジタル変換器が出力するデジタル信号のサンプリング出力にハーフバンド処理を施して、サンプリング出力に含まれる所定の阻止域の周波数成分を減衰させるデジタルフィルタと、該デジタルフィルタが出力する符号信号のエッジを検出して検波レジスタのセットパルスを生成するエッジ検出回路と、前記デジタルフィルタが出力する符号変化周期を測定する符号変化周期測定回路と、該符号変化周期測定回路で測定した周期と、閾値保持回路に設定されている符号変化周期との比較結果に従ってエリアス帯ノイズ検出信号を出力する比較器とを備えて、該比較器からのエリアス帯検出信号の出力時に前記検波レジスタをリセットするようにしたものである。これにより、エリアス帯ノイズの通過時の誤検波を防止することができる。

【0014】

【発明の実施の形態】

以下、本発明の実施の一形態によるデジタル信号処理装置を図面を参照して説明する。図1において、3はアナログ入力信号をデジタル信号に変換するA/D変換器、4はデジタルフィルタで、このデジタルフィルタ4の後段に、デジタル

フィルタ 4 から出力される符号信号 5 を用いたアンチエリラス回路 6 を設けている。このアンチエリラス回路 6 は、その符号信号 5 が変化する周期を用い、正規通過帯信号かエリラス帯通過信号かを区別し、デジタルフィルタ出力をエリラス帯通過信号のみ減衰させる。従って、これまでハーフバンド処理を使用できなかったデジタルフィルタにハーフバンド処理を用いることが可能となり、また、あえてハーフバンド処理を施した場合に、後段に配置されていたロウパスフィルタも不要となる。従って、例えばサンプリングデータと係数がともに 10 ビットであった場合の素子数は、乗算器 1 つあたり数千素子となる。一方、本発明のアンチエリラス回路 6 は千素子程度で構成されることより、数千～数万の半導体構成素子低減という効果が期待できる。

【 0 0 1 5 】

図 2 はアンチエリラス装置の詳細を示す。このアンチエリラス装置は、A/D 変換器 3、デジタルフィルタ 4、アンチエリラス回路 6 を有し、アナログ入力信号 10 は A/D 変換器 3 によりデジタル値に変換され、ハーフバンド処理を施したデジタルフィルタ 4 によって、信号に含まれる阻止域の周波数成分を減衰させる。ただし、デジタルフィルタ 4 の出力には、ハーフバンド処理により生じたエリラス帯のノイズが混在する。デジタルフィルタ 4 の出力は、アンチエリラス回路 6 に入力される。

【 0 0 1 6 】

前記アンチエリラス回路 6 は前記デジタルフィルタ 4 が出力する符号信号の変化周期を測定する符号変化周期測定回路 14 と、該符号変化周期測定回路 14 で測定した周期が、閾値保持回路 11 に設定されている符号変化周期に比べて小さいか否かを判別する比較器 12 と、この比較器 12 の出力をシフト制御信号として、前記デジタルフィルタ 4 から入力されて格納された信号をシフトさせてエリラス帯ノイズの振幅を抑圧するシフトレジスタ 13 と、前記符号変化周期測定回路による測定および比較器による比較演算によって生じる遅延相当分、前記デジタルフィルタの出力を遅延させる遅延回路 15 とを有する。そして、これらのうち、符号変化測定回路 14 はデジタルフィルタ 4 が出力する符号信号 5 の変化周期を測る。図 9 に示すように、デジタルフィルタ 4 の正規通過帯の信号は、デジ

タルフィルタ4の出力周波数帯の中では低域に位置し、エリラス帯のノイズは、デジタルフィルタのサンプリング周波数の $1/2$ 近傍に位置する。また、正規通過帯の信号とエリラス帯ノイズの中間周波数帯の信号は、本来のデジタルフィルタの働きにより減衰されているため、正規通過帯を通過した信号の符号変化周期とエリラス帯を通過したノイズ信号の符号変化周期では、冗長無き周期差が存在する。

【0017】

従って、閾値保持回路11に正規通過帯とエリラス帯の中間周波数帯の符号変化周期を設定しておけば、符号変化周期測定回路14で測られた周期が、閾値保持回路11に設定されている符号変化周期より長ければ“0”正規通過帯信号、短ければ“1”エリラス帯ノイズとして、比較器12にて明確に区別することができる。ここで、比較器12の出力を、遅延回路15により同時刻の遅延データが設定されているシフトレジスタ13のシフト制御信号として使用する。比較器12の出力が“0”であれば、シフト動作無し、“1”であれば、LSB方向に1ビットシフトとすれば、エリラス帯ノイズのみの振幅を $1/2$ に減衰させることができる。また、この処理は符号の変わり目でシフト動作の可否を切換えるため、出力信号17の位相は繋がり、不要なグリッジも発生しない。

【0018】

次に動作について、図3に示すフローチャートおよび図4に示すタイミングチャートに従って説明する。まず、アナログ入力信号の入力があると（ステップS1）、A/D変換器はこれをデジタル信号に変換し（ステップS2）、このデジタル信号のサンプリングデータはこれがデジタルフィルタ4に入力されてハーフバンド処理が行われる（ステップS3）。また、このハーフバンド処理した出力は遅延回路15で遅延処理され（ステップS4）、さらにシフトレジスタ13によりシフト制御を受けて（ステップS5）、順次出力される（ステップS6）。

【0019】

図4において、波形18はアナログ入力信号、波形19はハーフバンド処理を施したデジタルフィルタの出力信号である。波形19の区間20および21は正規通過帯の信号であるが、区間22に示すように、本来減衰されるべきエリラス

帯のノイズが、ハーフバンド処理を施したために デジタルフィルタ 4 を通過する。波形 2 3 は波形 1 9 の符号の変化を表したもので、ここでは符号ビットが 0 の時を正方向に、1 の時を負方向としている。波形 2 3 に示す通り、デジタルフィルタ処理により正規通過帯の信号の符号変化周期 N と、エリ阿斯帯のノイズによる信号の符号変化周期 M には、冗長無き周期差が存在する。

【0 0 2 0】

ここで、ハーフバンド処理後の前記出力信号の波形 2 3 の符号変化周期を測定し（ステップ S 7）、これを閾値 A と比較する（ステップ S 8）。閾値 A はあらかじめ符号変化周期 $M < \text{閾値 } A < \text{符号変化周期 } N$ なる値に設定しておく。比較結果を符号変化周期が閾値 A より小さい場合を“1”とすると、比較結果である波形 2 4 はエリ阿斯帯通過信号の検知信号として使用することができる。なお、符号変化周期の測定および比較器での演算時間によって、波形 1 9 に対し波形 2 4 は T_d だけ遅延を生じている。従って、波形 1 9 で示されるデジタルフィルタ出力は、 T_d 相当の遅延処理を施され、波形 2 5 としてシフトレジスタ 1 3 に格納される。また、比較結果として得られる波形 2 4 は、シフトレジスタ 1 3 に制御信号として入力される。

【0 0 2 1】

シフトレジスタ 1 3 は、符号変化周期が閾値に比べ小さい場合、すなわち波形 2 4 が“1”の時は、エリ阿斯帯のノイズが入力されているとみなし、シフトレジスタ 1 3 に格納された同時刻のデジタルフィルタ出力を LSB 方向に 1 ビットシフトさせ（ステップ S 9）、振幅を $1/2$ に抑圧する。一方、符号変化周期が閾値に比べ大きい場合、すなわち波形 2 4 が 0 の時は、正規通過帯の信号が入力されているとみなし、シフト動作なしの信号を出力し（ステップ S 10）、シフトレジスタ 1 3 でシフト処理すること無く出力する（ステップ S 5、ステップ S 6）。このときのシフトレジスタ 1 3 の出力波形イメージを波形 2 6 に示す。以上の説明した通り、正規通過帯の信号の振幅は変化させずに、エリ阿斯帯のノイズ信号のみの振幅を抑圧することができる。

【0 0 2 2】

図 5 は本発明におけるアンチエリ阿斯回路の他の実施形態を示す。この実施

形態では、図1に示すシフトレジスタ13のシフトビット数制御を目的とするシフトビット数設定レジスタ27を新たに設けている。これにより、エリアス帯ノイズ検出時にデジタルフィルタ4の出力データの減衰量を任意に調整できる。つまり、シフトビット数設定レジスタ27に n と設定した場合、出力データは、振幅が $1/2^n$ となる。

【0023】

図6は本発明におけるアンチエリアス回路のさらに他の実施形態を示す。ここでは、図1に示すシフトレジスタ13を削除し、比較器12の出力を、遅延回路28のクリア信号29としている。こうすることにより、不要なエリアスノイズ成分を取り除いて0とすることが可能となる。

【0024】

図7はデジタルフィルタ出力の符号信号を用いた検波装置のブロック図で、図8はそのブロック各部の信号のタイミングチャートである。ここではデジタルフィルタ4の出力の符号変化周期を符号変化周期測定回路14にて測り、これを前記と同様に、閾値保持回路11に任意に設定された閾値と、比較器12において比較し、符号変化周期測定回路14で測った符号変化周期がその閾値の周期より短い場合に、エリアス帯ノイズ検出信号を生成する。また、デジタルフィルタ4からの符号信号をエッジ検出回路29に入力し、検波レジスタ30のセットパルスを生成する。検波レジスタ30のリセット条件に、前記エリアス帯ノイズ検出信号またはデジタルフィルタ4に接続された未検波状態検出回路31の出力を加えることで、エリアス帯通過ノイズによる誤検波を防ぐことができる。なお、未検波状態検出回路31は、デジタルフィルタ出力の符号変化周期 T より長い図8中の $T + \Delta T$ 期間内に、検波レジスタ30にセットパルスが来なかった場合に、リセットパルスをその検波レジスタ30へ出力する。

【0025】

【発明の効果】

以上のように、本発明によれば、ハーフバンド処理をするデジタルフィルタ出力の符号信号を用いて、ハーフバンド処理により生じるエリアス帯のノイズを抑圧または除去するようにしたので、これまでエリアスの影響のためにハーフバン

ド処理を用いることのできなかったデジタルフィルタに同処理を用いることが可能となる。また、このようなハーフバンド処理によるエリアス帯のノイズの抑圧や除去をシフトレジスタと簡単な制御回路で実現できるため、デジタルフィルタ後段にロウパスフィルタを用いるアンチエリアス方法に対してもコスト的に優位となる。特に、高S/Nを必要とするデジタルフィルタほど、入力サンプリングデータおよび、これに乗じる係数のビット長が長くなるため、コスト上の効果は高い。

【図面の簡単な説明】

【図1】 本発明の実施の一形態によるデジタル信号処理装置を示すブロック図である。

【図2】 図2におけるアンチエリアス回路を具体化して示すブロック図である。

【図3】 本発明によるデジタル信号処理の手順を示すフローチャートである。

【図4】 図1に示すブロック各部の信号のタイミングチャートである。

【図5】 本発明における他のアンチエリアス回路を具体的に示すブロック図である。

【図6】 本発明における他のアンチエリアス回路を具体的に示すブロック図である。

【図7】 本発明におけるデジタルフィルタの符号出力を用いた検波装置を示すブロック図である。

【図8】 図7に示すブロック各部の信号のタイミングチャートである。

【図9】 デジタルフィルタのハーフバンド処理によるエリアス発生状況を示すデジタルフィルタの出力信号通過帯域特性図である。

【符号の説明】

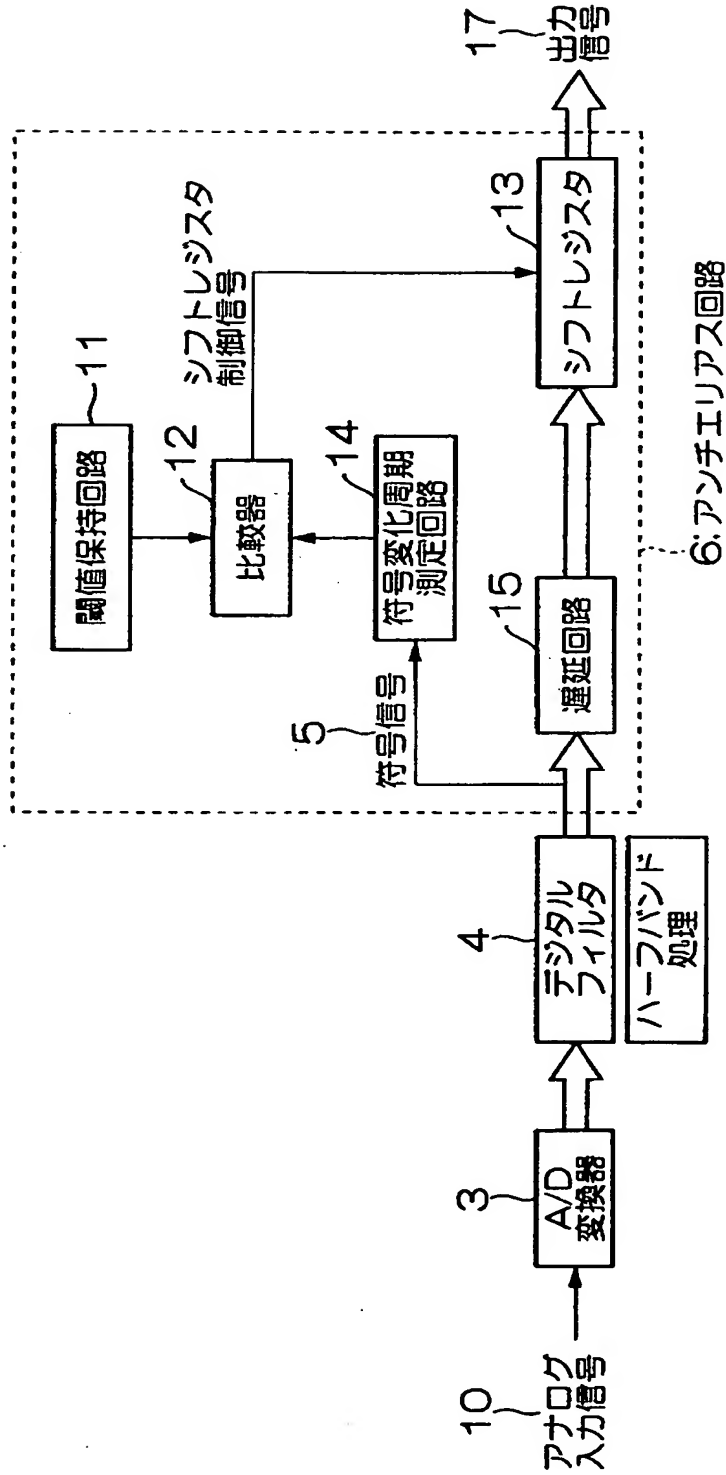
- 3 A/D変換器（アナログ／デジタル変換器）
- 4 デジタルフィルタ
- 11 閾値保持回路
- 12 比較器

- 1 3 シフトレジスタ
- 1 4 符号変化周期測定回路
- 2 7 シフトビット数設定レジスタ

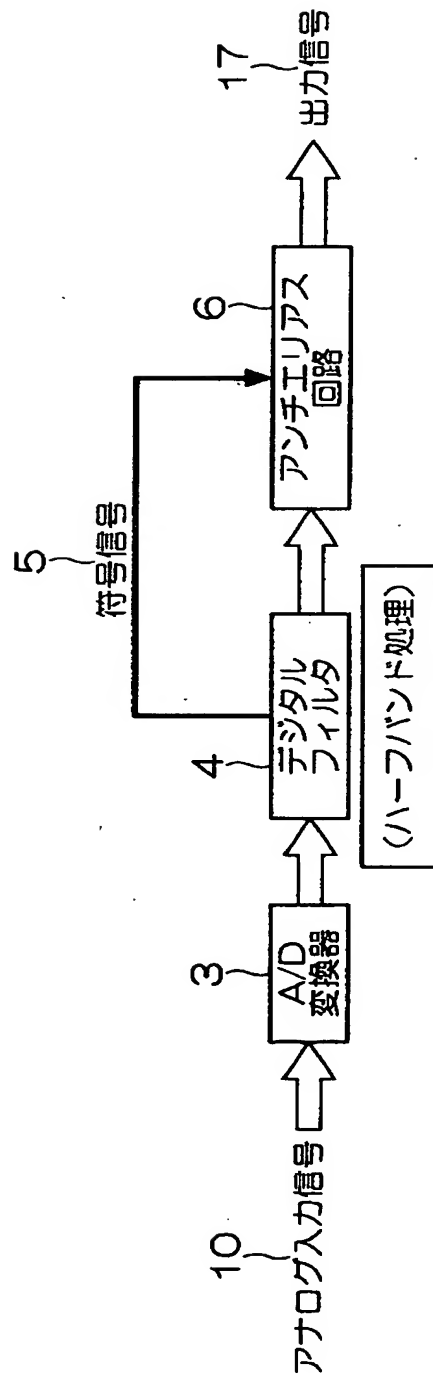
【書類名】

図面

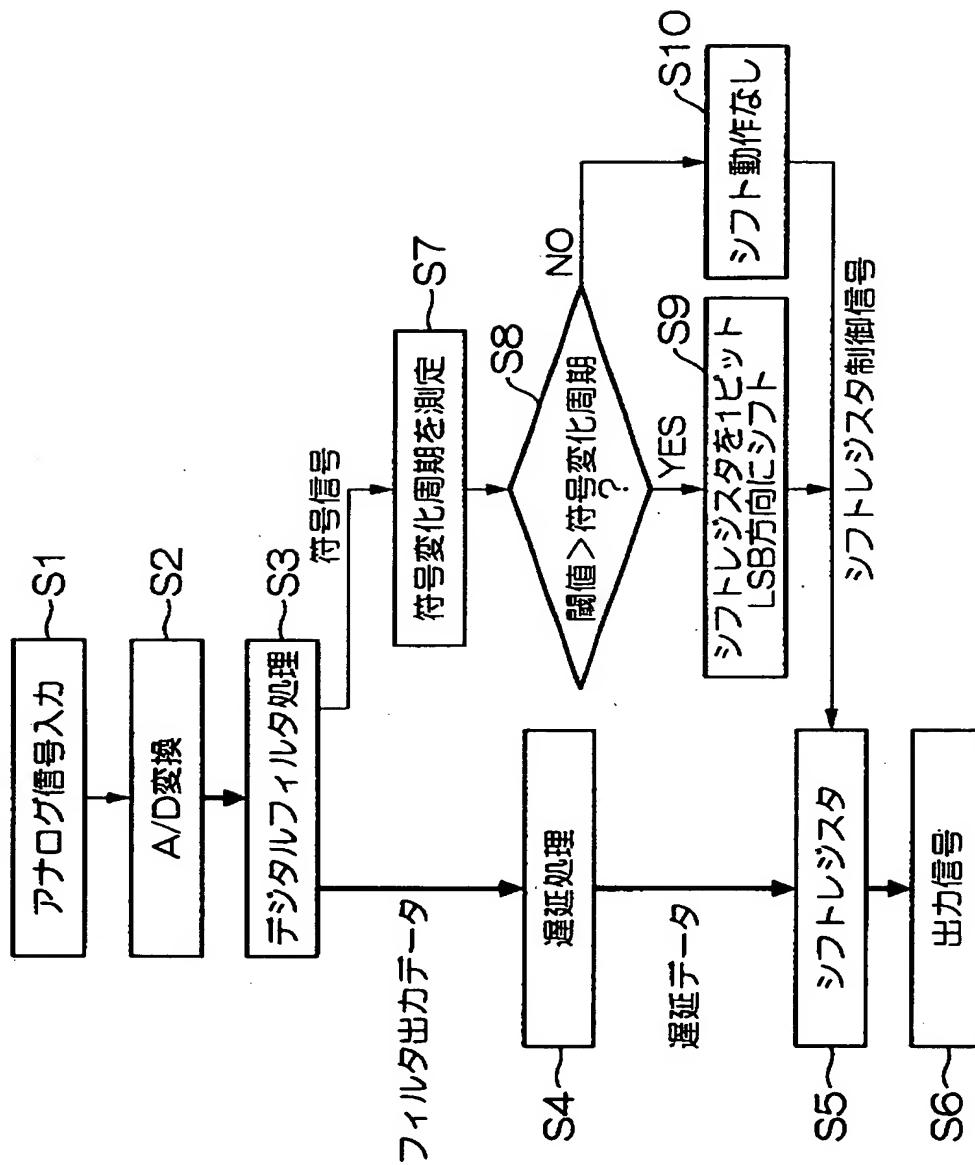
【図 1】



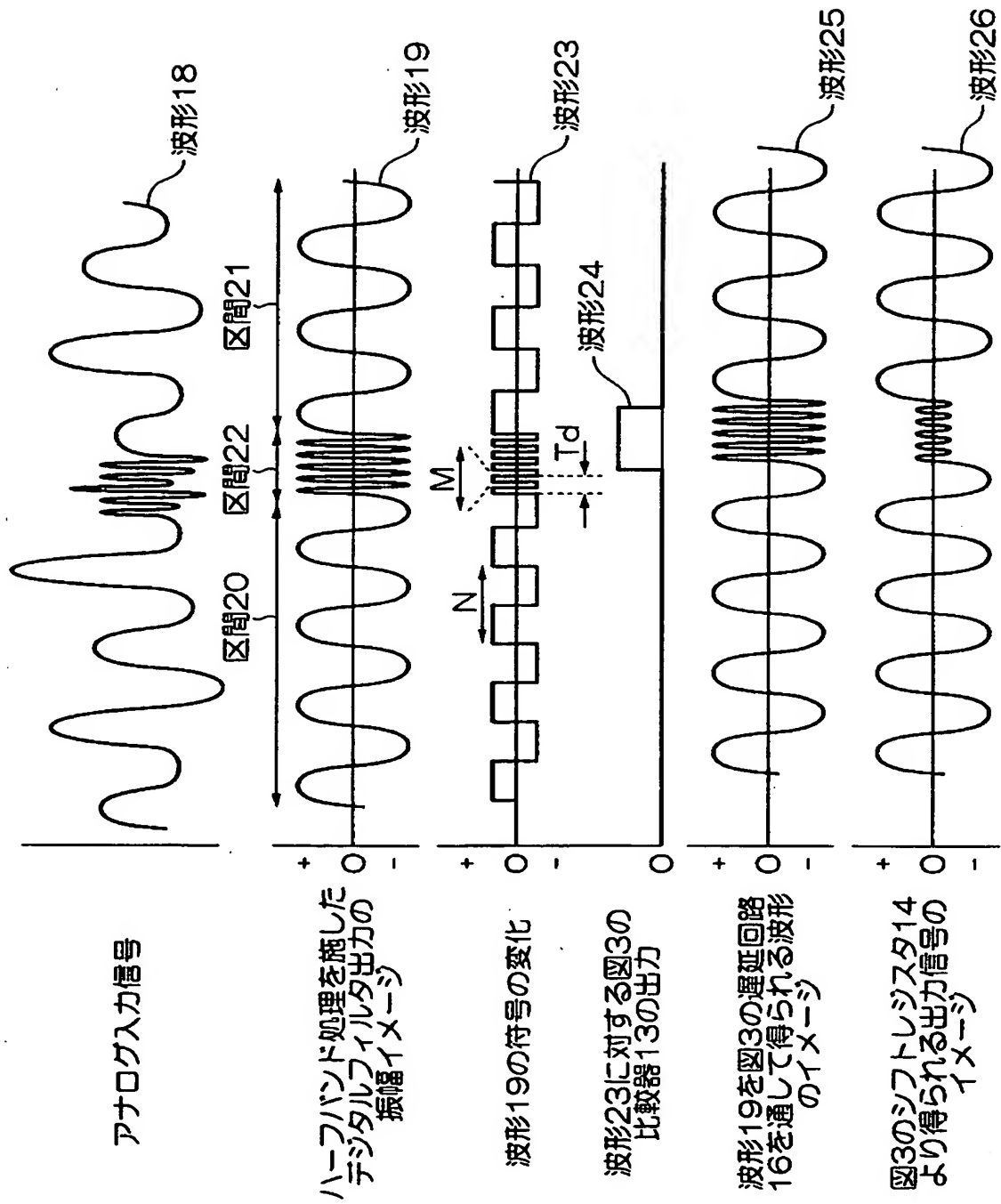
【図 2】



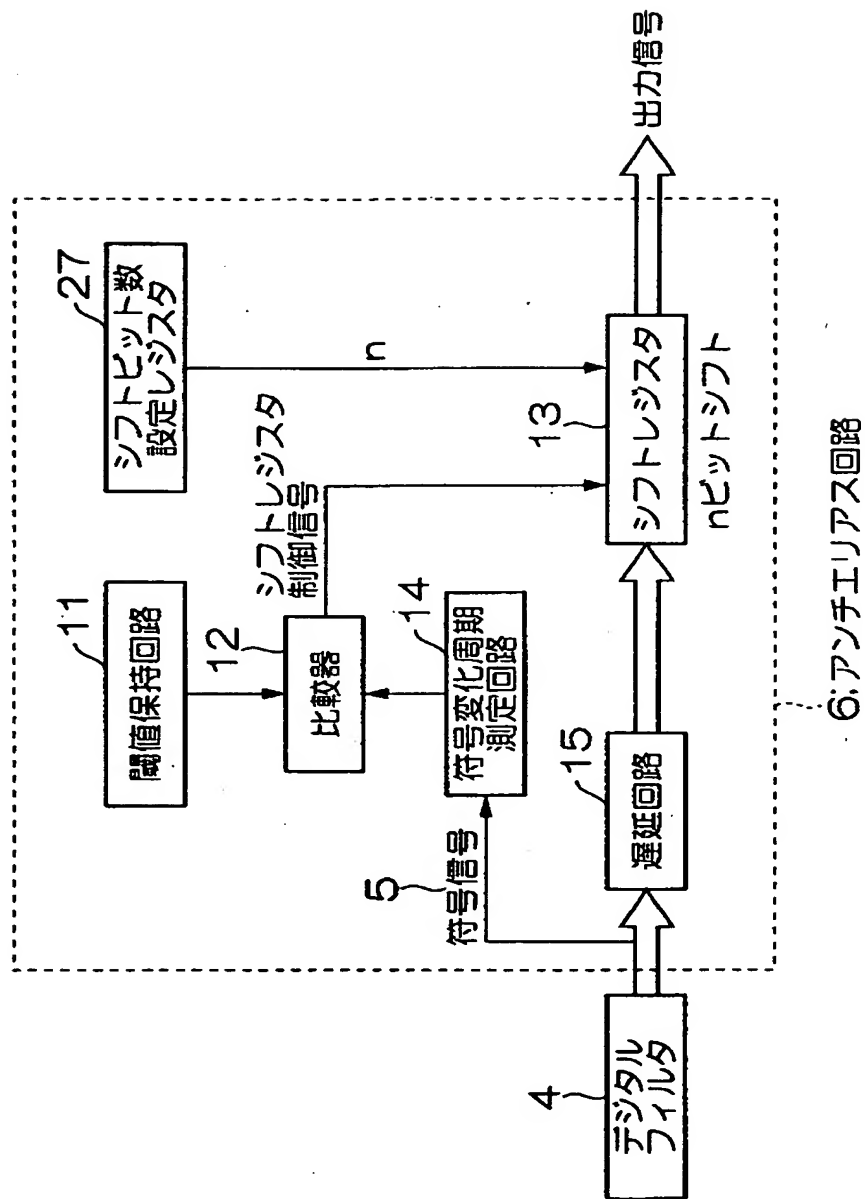
【図 3】



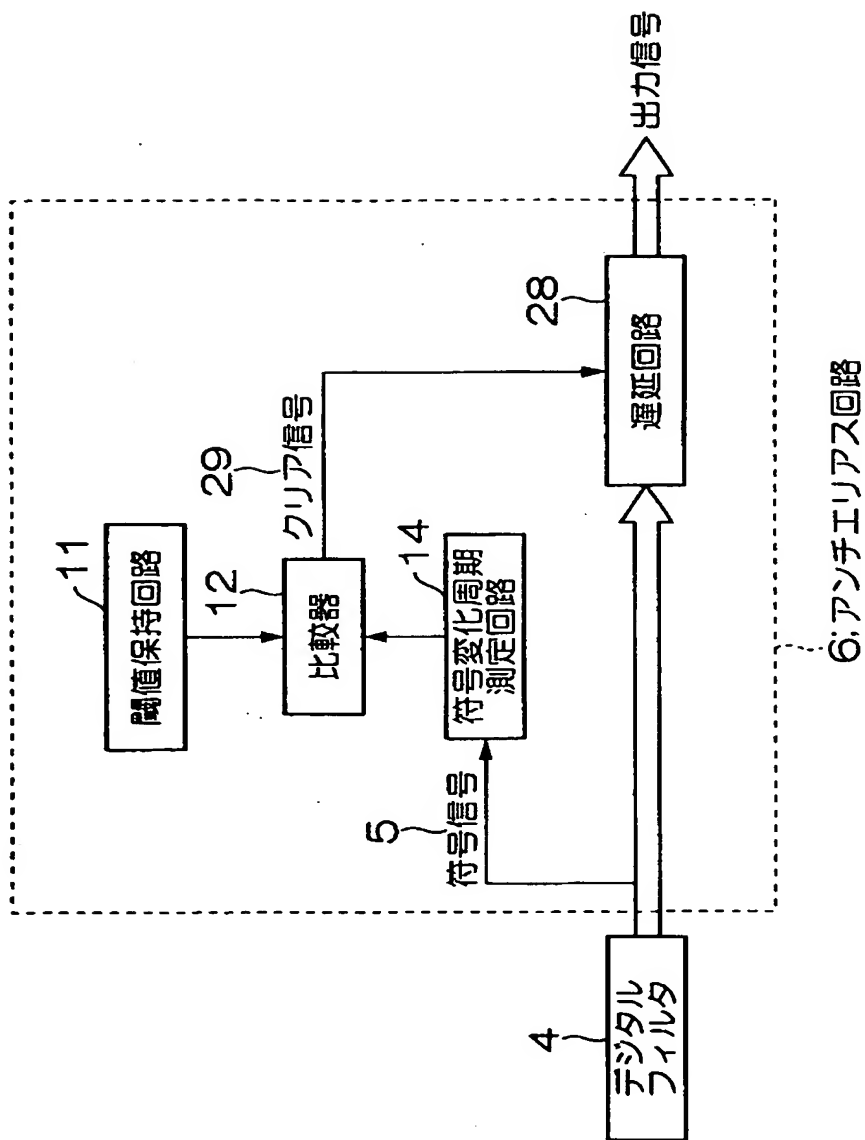
【図 4】



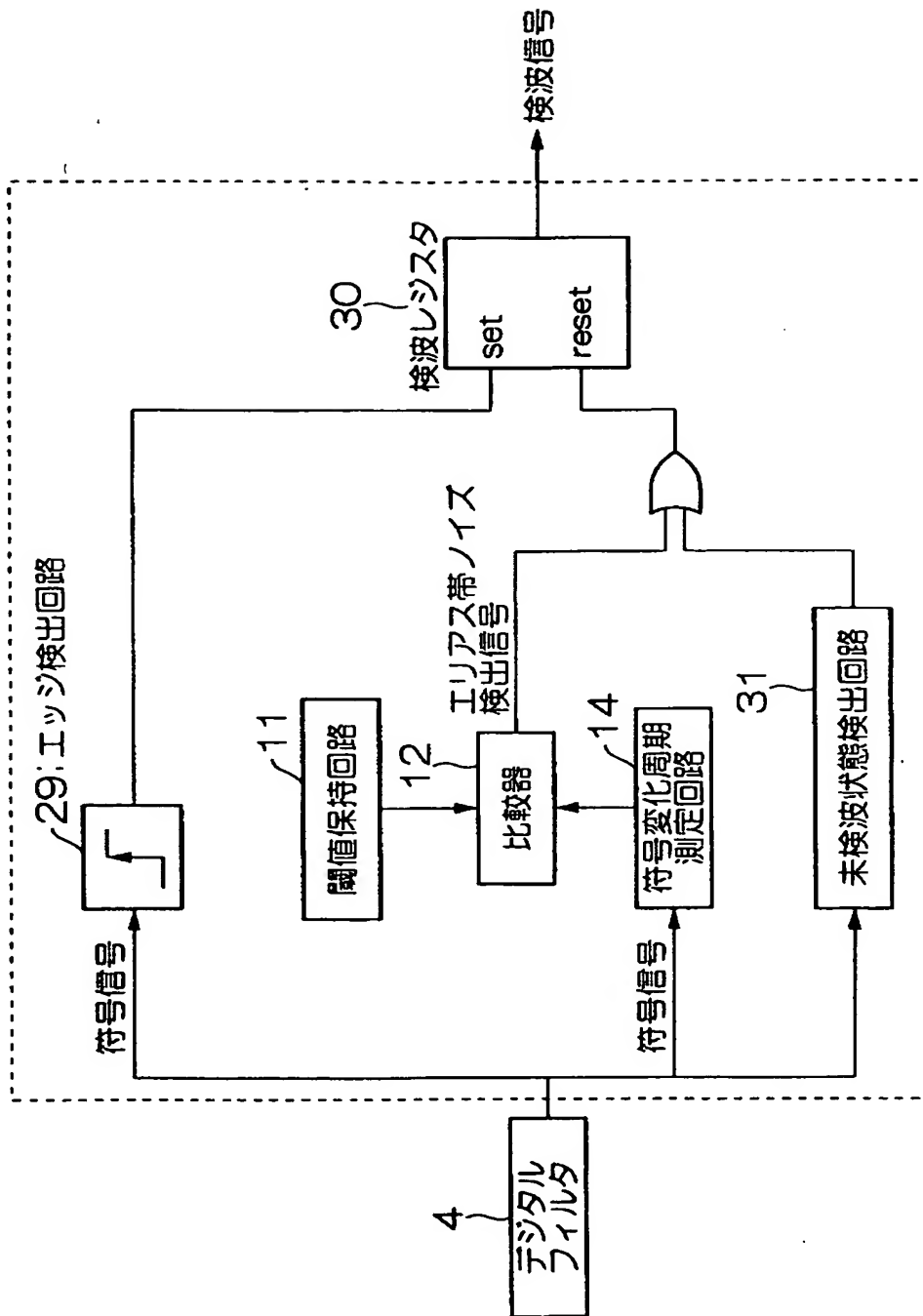
【図 5】



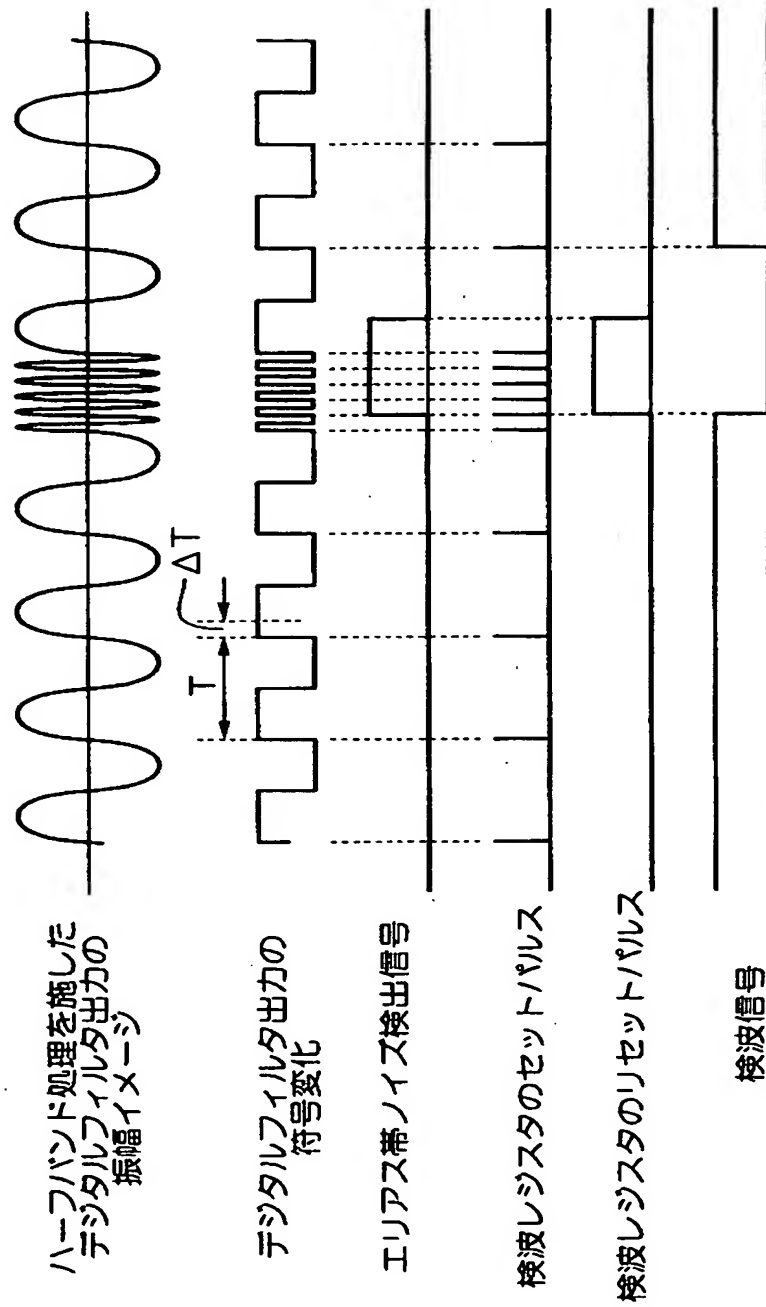
【図 6】



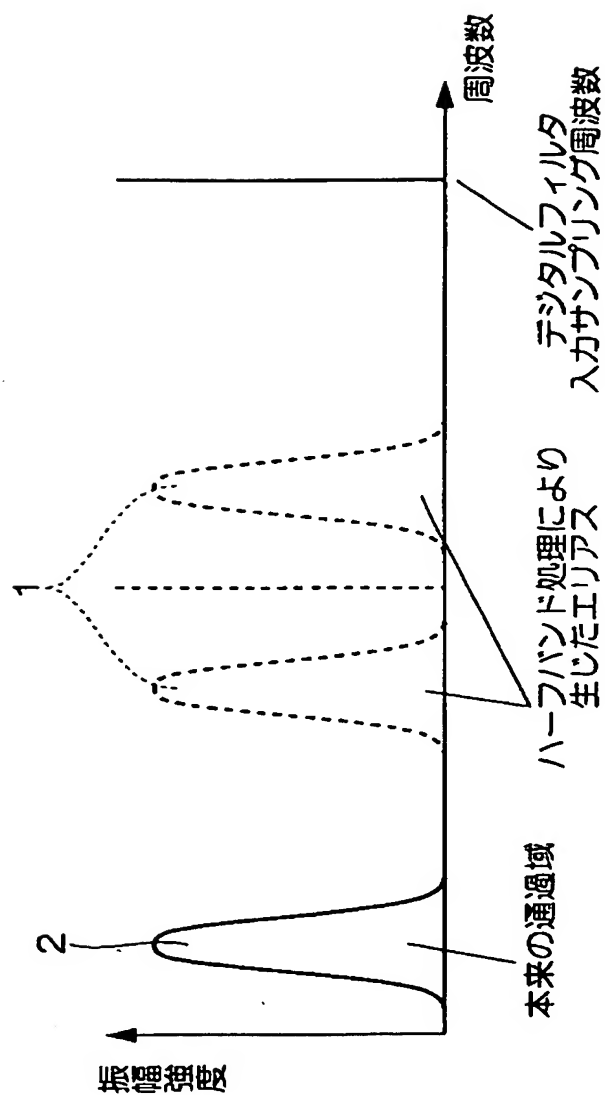
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 ハーフバンド処理を施したデジタルフィルタ出力の符号信号を用い、ハーフバンド処理により生じるエリラス帯のノイズの抑圧または除去を、簡単な回路でローコストに実現可能にする。

【解決手段】 アナログ入力信号をデジタル信号に変換するアナログ／デジタル変換器 3 と、アナログ／デジタル変換器 3 が出力するデジタル出力のサンプリングデータにハーフバンド処理を施して、信号に含まれる阻止域の周波数成分を減衰させるデジタルフィルタ 4 とを設け、デジタルフィルタ 4 におけるハーフバンド処理により発生したエリラス帯のノイズを、デジタルフィルタからの符号信号を用いて抑圧または除去する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2001-043791
受付番号	50100236556
書類名	特許願
担当官	大竹 仁美 4128
作成日	平成13年 2月27日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000232036
【住所又は居所】	神奈川県川崎市中原区小杉町1丁目403番53
【氏名又は名称】	日本電気アイシーマイコンシステム株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社